

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-260973

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

H01L 29/00  
G06F 17/00  
G06F 17/50  
H01L 29/78  
H01L 21/336

(21)Application number : 11-066445 (71)Applicant : MITSUBISHI ELECTRIC CORP

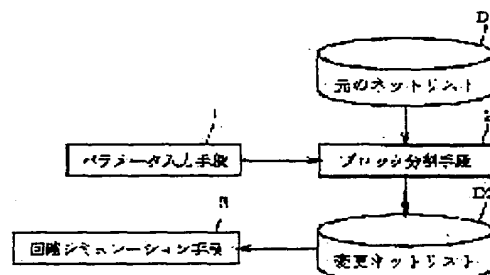
(22)Date of filing : 12.03.1999 (72)Inventor : SONODA KENICHIRO

(54) SIMULATOR, SIMULATION METHOD, METHOD FOR SETTING CONDITIONS FOR MANUFACTURING PROCESS, AND RECORDING MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To make simulated results reflecting the shape of a device obtainable in a short computation time.

SOLUTION: A block-dividing means 2 fetches an original net list D1 prescribing a circuit to be simulated, selects an analysis block specifying a device in the circuit to be simulated based on the parameter obtained from a parameter inputting means 1 and divides the selected analysis block into a plurality of partial analysis blocks. Then the means 2 electrically connects the partial analysis blocks to each other, so that a circuit configuration equivalent to the analysis block may be obtained, and ultimately, outputs to a changed net list D2 prescribing a new circuit to be simulated, in which the analysis block is replaced with the partial analysis blocks to a circuit simulating means 3. The means 3 performs circuit simulation, on the circuit to be simulated prescribed by the changed net list D2.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-260973

(P2000-260973A)

(43)公開日 平成12年9月22日(2000.9.22)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
H 0 1 L 29/00		H 0 1 L 29/00	5 B 0 4 6
G 0 6 F 17/00		G 0 6 F 15/20	D 5 B 0 4 9
17/50		15/60	6 6 6 S 5 F 0 4 0
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 Z
21/336			
審査請求 未請求 請求項の数14 O L (全 14 頁)			

(21)出願番号 特願平11-66445

(22)出願日 平成11年3月12日(1999.3.12)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 園田 賢一郎

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

Fターム(参考) 5B046 AA08 BA03 JA04

5B049 AA04 BB07 EE42

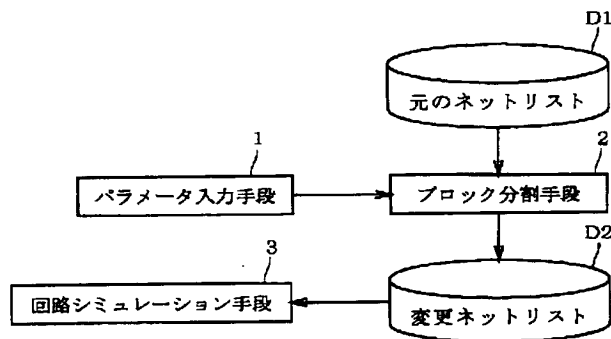
5F040 DA23 DA24 DA30 EA09

(54)【発明の名称】 シミュレーション装置、シミュレーション方法、製造プロセス条件設定方法及び記録媒体

## (57)【要約】

【課題】 短い計算時間でデバイスの形状を反映したシミュレーション結果を得ることができる、シミュレーション装置及び方法を得る。

【解決手段】 ブロック分割手段2は、被シミュレーション回路を規定した元のネットリストD1を取り込み、パラメータ入力手段1より得た入力パラメータに基づいて、被シミュレーション回路内のデバイスを特定する解析ブロックを選択し、選択した解析ブロックを複数の部分解析ブロックに分割し、解析ブロックと等価な回路構成になるように複数の部分解析ブロック間を電氣的に接続し、最終的に、解析ブロックが複数の部分解析ブロックに置き換えられた新たな被シミュレーション回路を規定した変更ネットリストD2出力する。回路シミュレーション手段3は、変更ネットリストD2で規定される被シミュレーション回路に対する回路シミュレーションを行う。



**【特許請求の範囲】**

**【請求項1】** 被シミュレーション回路を規定したネットリストを受け、前記被シミュレーション回路内のデバイスを特定する所定の解析ブロックを、所定方向に沿って、前記所定の解析ブロックとの等価性を維持しながら複数の部分解析ブロックに分割し、前記所定の解析ブロックを複数の部分解析ブロックに変更した新たな被シミュレーション回路を規定した変更ネットリストを出力する解析ブロック分割手段と、  
前記変更ネットリストで規定された被シミュレーション回路に対して回路シミュレーションを実行する回路シミュレーション手段とを備え、  
前記解析ブロック分割手段は、前記複数の部分解析ブロックそれぞれの回路シミュレーション用特性値を個別設定可能であることを特徴とする、シミュレーション装置。

**【請求項2】** 前記複数の部分解析ブロックそれぞれの前記回路シミュレーション用特性値を決定する情報を含む入力パラメータを前記解析ブロック分割手段に入力するパラメータ入力手段をさらに備え、  
前記解析ブロック分割手段は、前記入力パラメータに基づき、前記複数の部分解析ブロックそれぞれの前記回路シミュレーション用特性値を設定する、請求項1記載のシミュレーション装置。

**【請求項3】** 前記所定の解析ブロックは抵抗成分を考慮したMOSトランジスタを含み、前記所定の方向は前記MOSトランジスタのゲート幅方向を含む、請求項1あるいは請求項2記載のシミュレーション装置。

**【請求項4】** 前記ブロック分割手段は、さらに、前記複数の部分解析ブロックのうち隣接する部分解析ブロック間を接続抵抗を介して電氣的に接続する、請求項3記載のシミュレーション装置。

**【請求項5】** 3次元のデバイスシミュレーションが可能な被シミュレーション回路構造を規定した計算構造データを受け、前記被シミュレーション回路構造内のデバイスを特定する3次元構造の所定の解析領域を、所定の方向に沿って、前記所定の解析領域との等価性を維持しながら、各々が2次元のデバイスシミュレーションが可能な複数の部分解析領域に分割し、前記所定の解析領域を前記複数の部分解析領域に変更した新たな被シミュレーション回路構造を規定した変更計算構造データを出力する解析領域分割手段と、  
前記変更計算構造データで規定された被シミュレーション回路構造に対して2次元のデバイスシミュレーションを実行するデバイスシミュレーション手段と、を備えるシミュレーション装置。

**【請求項6】** 前記複数の部分解析領域それぞれのデバイスシミュレーション用の特性値を決定する情報を含む入力パラメータを前記解析領域分割手段に入力するパラメータ入力手段をさらに備え、

前記解析領域分割手段は、前記入力パラメータに基づき、前記複数の部分解析領域それぞれのデバイスシミュレーション用の特性値を個別設定する、請求項5記載のシミュレーション装置。

**【請求項7】** 前記所定の解析領域は抵抗成分を考慮したMOSトランジスタを含み、前記所定の方向は前記MOSトランジスタのゲート幅方向を含む、請求項5あるいは請求項6記載のシミュレーション装置。

**【請求項8】** 前記解析領域分割手段は、前記複数の部分解析領域のうち隣接する部分解析領域間を接続抵抗を介して電氣的に接続する、請求項7記載のシミュレーション装置。

**【請求項9】** (a)被シミュレーション回路を規定したネットリストを読み込むステップと、

(b)前記被シミュレーション回路からデバイスを特定する所定の解析ブロックを分割対象として選択するステップと、

(c)前記所定の解析ブロックを、所定方向に沿って、複数の部分解析ブロックに分割するとともに、前記複数の部分解析ブロックの回路シミュレーション用特性値をそれぞれ個別設定するステップと、

(d)前記所定の解析ブロックとの等価性を維持すべく前記複数の部分解析ブロック間を電氣的接続した後、前記所定の解析ブロックを前記複数の部分解析ブロックに変更した被シミュレーション回路を規定した変更ネットリストを出力するステップと、

(e)前記変更ネットリストで規定された被シミュレーション回路に対して回路シミュレーションを実行するステップと、を備えるシミュレーション方法。

**【請求項10】** (a)3次元のデバイスシミュレーションが可能な被シミュレーション回路構造を規定した計算構造データを読み込むステップと、

(b)前記被シミュレーション回路構造内のデバイスを特定する3次元構造の所定の解析領域を分割対象として選択するステップと、

(c)前記所定の解析領域を、所定の方向に沿って、各々が2次元のデバイスシミュレーションが可能な複数の部分解析領域に分割するステップと、

(d)前記所定の解析領域との等価性を維持すべく前記複数の部分解析領域を互いに電氣的に接続して、前記所定の解析領域を前記複数の部分解析領域に変更した被シミュレーション回路構造を規定した変更計算構造データを出力するステップと、

(e)前記変更計算構造データで規定された被シミュレーション回路構造に対して2次元のデバイスシミュレーションを実行するステップと、を備えるシミュレーション方法。

**【請求項11】** (a)仮製造プロセス条件が設定された製造プロセスで製造された場合の所定の半導体集積回路を被シミュレーション回路として、請求項9記載のシミュレーション装置。

ュレーション方法を実行させるステップと、  
(b)前記ステップ(a)のシミュレーション結果に基づき、前記被シミュレーション回路の所定の基準に対する良否を判定するステップと、  
(c)前記ステップ(b)の判定が否の場合に、前記仮製造プロセス条件を変更し、ステップ(a)、(b)を再度実行させるステップと、  
(d)前記ステップ(b)の判定が良の場合に、前記仮製造プロセス条件を前記所定の半導体集積回路の実際の製造に用いる実製造プロセス条件として設定するステップと、を備えた製造プロセス条件設定方法。

【請求項12】 (a)仮製造プロセス条件が設定された製造プロセスで製造された場合の所定の半導体集積回路を被シミュレーション回路として、請求項10記載のシミュレーション方法を実行させるステップと、  
(b)前記ステップ(a)のシミュレーション結果に基づき、前記被シミュレーション回路の所定の基準に対する良否を判定するステップと、  
(c)前記ステップ(b)の判定が否の場合に、前記仮製造プロセス条件を変更し、ステップ(a)、(b)を再度実行させるステップと、  
(d)前記ステップ(b)の判定が良の場合に、前記仮製造プロセス条件を前記所定の半導体集積回路の実際の製造に用いる実製造プロセス条件として設定するステップと、を備えた製造プロセス条件設定方法。

【請求項13】 請求項9記載のシミュレーション方法を実行させるためのプログラムが記録されている、コンピュータ読み取り可能な記録媒体。

【請求項14】 請求項10記載のシミュレーション方法を実行させるためのプログラムが記録されている、コンピュータ読み取り可能な記録媒体。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】この発明は、シミュレーション装置及びシミュレーション方法に関し、特に、半導体集積回路の静電放電 (electrostatic discharge, ESD) をシミュレーションするシミュレーション装置及び方法に関する。

#### 【0002】

【従来の技術】ESDが半導体集積回路に印加されると、その集積回路の機能が損傷したり、集積回路自体が破壊されてしまうことがあるため、ESD耐性の高い素子構造あるいは回路構成が望まれている。しかしながら、半導体素子の微細化に伴い、所望のESD耐性を保持することが困難な状況にある。

【0003】また、ESD試験はパッケージ化された最終的な製品に対して行われるため、素子構造や回路構成の変更を行ってから試験結果が得られる期間が長期化する傾向があり、製品開発期間を決める大きな要因の一つになっている。したがって、シミュレーションを用いて

ESD耐性の高い素子構造や回路構成の変更を高精度に予測することが望まれている。

【0004】ESDが印加されたときには半導体素子に大電圧がかかるため、通常の動作電圧では問題とならない形状効果が顕著に現れる。例えば、製造プロセスの原因でMOSFETのゲート幅が一定とならず位置によって異なると、ゲート幅の小さい位置に電流が集中して破壊が起こりやすくなる。このようなデバイスの形状効果を考慮したESDシミュレーションを行うには、従来、3次元のデバイスシミュレーションを使用する必要があった。なお、デバイスシミュレーションは、デバイスの物理的形状及び不純物分布をもとに、デバイス内部のキャリアの振る舞いからデバイス特性を計算機によって求めるものである。

#### 【0005】

【発明が解決しようとする課題】しかしながら、デバイスシミュレーションでは、解析しようとする半導体素子構造をメッシュと呼ばれる小領域に分割し、それぞれのメッシュを代表する節点での電位やキャリア濃度等を計算する関係上、計算すべき節点数が数十万以上と膨大になるため、3次元デバイスシミュレーションを用いる方法は計算時間がかかり過ぎてしまうという問題点があった。

【0006】この発明は上記問題点を解決するためになされたもので、短い計算時間でデバイスの形状を反映したシミュレーション結果を得ることができる、シミュレーション装置及び方法を得ることを目的とする。

#### 【0007】

【課題を解決するための手段】この発明に係る請求項1記載のシミュレーション装置は、被シミュレーション回路を規定したネットリストを受け、前記被シミュレーション回路内のデバイスを特定する所定の解析ブロックを、所定方向に沿って、前記所定の解析ブロックとの等価性を維持しながら複数の部分解析ブロックに分割し、前記所定の解析ブロックを複数の部分解析ブロックに変更した新たな被シミュレーション回路を規定した変更ネットリストを出力する解析ブロック分割手段と、前記変更ネットリストで規定された被シミュレーション回路に対して回路シミュレーションを実行する回路シミュレーション手段とを備え、前記解析ブロック分割手段は、前記複数の部分解析ブロックそれぞれの回路シミュレーション用特性値を個別設定可能である。

【0008】請求項2記載のシミュレーション装置は、前記複数の部分解析ブロックそれぞれの前記回路シミュレーション用特性値を決定する情報を含む入力パラメータを前記解析ブロック分割手段に入力するパラメータ入力手段をさらに備え、前記解析ブロック分割手段は、前記入力パラメータに基づき、前記複数の部分解析ブロックそれぞれの前記回路シミュレーション用特性値を設定している。

【0009】請求項3記載のシミュレーション装置において、前記所定の解析ブロックは抵抗成分を考慮したMOSトランジスタを含み、前記所定の方向は前記MOSトランジスタのゲート幅方向を含んでいる。

【0010】請求項4記載のシミュレーション装置において、前記ブロック分割手段は、さらに、前記複数の部分解析ブロックのうち隣接する部分解析ブロック間を接続抵抗を介して電氣的に接続している。

【0011】この発明に係る請求項5記載のシミュレーション装置は、3次元のデバイスシミュレーションが可能な被シミュレーション回路構造を規定した計算構造データを受け、前記被シミュレーション回路構造内のデバイスを特定する3次元構造の所定の解析領域を、所定の方向に沿って、前記所定の解析領域との等価性を維持しながら、各々が2次元のデバイスシミュレーションが可能な複数の部分解析領域に分割し、前記所定の解析領域を前記複数の部分解析領域に変更した新たな被シミュレーション回路構造を規定した変更計算構造データを出力する解析領域分割手段と、前記変更計算構造データで規定された被シミュレーション回路構造に対して2次元のデバイスシミュレーションを実行するデバイスシミュレーション手段とを備えている。

【0012】請求項6記載のシミュレーション装置は、前記複数の部分解析領域それぞれのデバイスシミュレーション用の特性値を決定する情報を含む入力パラメータを前記解析領域分割手段に入力するパラメータ入力手段をさらに備え、前記解析領域分割手段は、前記入力パラメータに基づき、前記複数の部分解析領域それぞれのデバイスシミュレーション用の特性値を個別設定している。

【0013】請求項7記載のシミュレーション装置において、前記所定の解析領域は抵抗成分を考慮したMOSトランジスタを含み、前記所定の方向は前記MOSトランジスタのゲート幅方向を含んでいる。

【0014】請求項8記載のシミュレーション装置において、前記解析領域分割手段は、前記複数の部分解析領域のうち隣接する部分解析領域間を接続抵抗を介して電氣的に接続している。

【0015】この発明に係る請求項9記載のシミュレーション方法は、(a)被シミュレーション回路を規定したネットリストを読み込むステップと、(b)前記被シミュレーション回路からデバイスを特定する所定の解析ブロックを分割対象として選択するステップと、(c)前記所定の解析ブロックを、所定方向に沿って、複数の部分解析ブロックに分割するとともに、前記複数の部分解析ブロックの回路シミュレーション用特性値をそれぞれ個別設定するステップと、(d)前記所定の解析ブロックとの等価性を維持すべく前記複数の部分解析ブロック間を電氣的接続した後、前記所定の解析ブロックを前記複数の部分解析ブロックに変更した被シミュレーション回路を

規定した変更ネットリストを出力するステップと、(e)前記変更ネットリストで規定された被シミュレーション回路に対して回路シミュレーションを実行するステップとを備えている。

【0016】この発明に係る請求項10記載のシミュレーション方法は、(a)3次元のデバイスシミュレーションが可能な被シミュレーション回路構造を規定した計算構造データを読み込むステップと、(b)前記被シミュレーション回路構造内のデバイスを特定する3次元構造の所定の解析領域を分割対象として選択するステップと、(c)前記所定の解析領域を、所定の方向に沿って、各々が2次元のデバイスシミュレーションが可能な複数の部分解析領域に分割するステップと、(d)前記所定の解析領域との等価性を維持すべく前記複数の部分解析領域を互いに電氣的に接続して、前記所定の解析領域を前記複数の部分解析領域に変更した被シミュレーション回路構造を規定した変更計算構造データを出力するステップと、(e)前記変更計算構造データで規定された被シミュレーション回路構造に対して2次元のデバイスシミュレーションを実行するステップとを備えている。

【0017】この発明に係る請求項11記載の製造プロセス条件設定方法は、(a)仮製造プロセス条件が設定された製造プロセスで製造された場合の所定の半導体集積回路を被シミュレーション回路として、請求項9記載のシミュレーション方法を実行させるステップと、(b)前記ステップ(a)のシミュレーション結果に基づき、前記被シミュレーション回路の所定の基準に対する良否を判定するステップと、(c)前記ステップ(b)の判定が否の場合に、前記仮製造プロセス条件を変更し、ステップ(a)、(b)を再度実行させるステップと、(d)前記ステップ(b)の判定が良の場合に、前記仮製造プロセス条件を前記所定の半導体集積回路の実際の製造に用いる実製造プロセス条件として設定するステップとを備えている。

【0018】この発明に係る請求項12記載の製造プロセス条件設定方法は、(a)仮製造プロセス条件が設定された製造プロセスで製造された場合の所定の半導体集積回路を被シミュレーション回路として、請求項10記載のシミュレーション方法を実行させるステップと、(b)前記ステップ(a)のシミュレーション結果に基づき、前記被シミュレーション回路の所定の基準に対する良否を判定するステップと、(c)前記ステップ(b)の判定が否の場合に、前記仮製造プロセス条件を変更し、ステップ(a)、(b)を再度実行させるステップと、(d)前記ステップ(b)の判定が良の場合に、前記仮製造プロセス条件を前記所定の半導体集積回路の実際の製造に用いる実製造プロセス条件として設定するステップとを備えている。

【0019】請求項13記載の記録媒体には、請求項9記載のシミュレーション方法を実行させるためのプログラムが記録されている。

【0020】請求項14記載の記録媒体には、請求項1

0記載のシミュレーション方法を実行させるためのプログラムが記録されている。

#### 【0021】

【発明の実施の形態】<実施の形態1>図1は、この発明の実施の形態1であるESDシミュレーション装置の構成を示すブロック図である。

【0022】同図に示すように、パラメータ入力手段1は分割すべき解析ブロック、分割数、解析ブロックを分割して得られる複数の部分解析ブロック間の電気的特性値のバラツキの標準偏差等を含む情報を入力パラメータとしてブロック分割手段2に与える。

【0023】ブロック分割手段2は、被シミュレーション回路を規定した元のネットリストD1を取り込み、パラメータ入力手段1より得た入力パラメータに基づいて、被シミュレーション回路内のデバイスを特定する解析ブロックを選択し、選択した解析ブロックを複数の部分解析ブロックに分割し、解析ブロックと等価な回路構成になるように複数の部分解析ブロック間を電氣的に接続し、最終的に、解析ブロックが複数の部分解析ブロックに置き換えられた新たな被シミュレーション回路を規定した変更ネットリストD2出力する。なお、元のネットリストD1は図示しないネットリスト付与手段より付与される。

【0024】回路シミュレーション手段3は、変更ネットリストD2を入力し、変更ネットリストD2で規定される回路に対する回路シミュレーションを行い回路シミュレーション結果を出力する。なお、パラメータ入力手段1、ブロック分割手段2及び回路シミュレーション手段3は図示しない計算制御手段によって制御される。

【0025】図2は、実施の形態1のESDシミュレーション装置によるESDシミュレーション方法を示すフローチャートである。図3は、人体モデル(human body model, HBM)によるESDが印加されたMOSFETを含む被シミュレーション回路を示す説明図である。

【0026】図3において、キャパシタ51(100pF)とインダクタ52(7.5μH)及び抵抗53

(1.5kΩ)とがスイッチ54を介して直列に接続され、スイッチ54をオフ状態からオン状態に切り替える際に、人体モデルによるESDがMOSFETに印加される。

【0027】一方、MOSFETは、基板70の上層部にドレイン領域71及びソース領域72がそれぞれ選択的に形成され、ドレイン領域71、ソース領域72間上にゲート電極73(ゲート幅W)が形成されている。そして、ドレイン領域71が抵抗53の一端に接続され、ソース領域72、ゲート電極73及び基板70が接地レベルに接続される。

【0028】以下、図2のフローを図3に示したMOSFETを例に挙げて説明する。

【0029】まず、ステップS1で、ブロック分割手段

2は、従来の回路シミュレーション用の回路を規定した元のネットリストD1を読み込む。元のネットリストD1は図4で示した被シミュレーション回路を規定するデータである。

【0030】図4において、ゲート幅WのMOSトランジスタ(MOSFET)Qのドレイン領域71にはドレイン抵抗RDが、ソース領域72にソース抵抗RSが、ゲート電極73にゲート抵抗RGが基板70に基板抵抗RSUBが設けられ、ドレイン領域71、基板70及びソース領域72によるバイポーラトランジスタTが設けられる。

【0031】図2に戻って、ステップS2で、ブロック分割手段2は元のネットリストD1で規定された被シミュレーション回路から、パラメータ入力手段1より得た入力パラメータに基づき、分割対象の解析ブロック(複数可)を選択する。図4の回路例では、ドレイン抵抗RD、ソース抵抗RS、ゲート抵抗RG、基板抵抗RSUB、MOSトランジスタQ及びバイポーラトランジスタTからなる構成が分割対象の解析ブロック4となる。

【0032】そして、ステップS3で、パラメータ入力手段1より得た入力パラメータに基づき、解析ブロックを所定の方向に沿って複数の部分解析ブロックに分割する。

【0033】例えば、図4の解析ブロック4をMOSトランジスタQのゲート幅方向に沿ってN個に分割する場合、図5に示すように、解析ブロック4内のドレイン抵抗RD、ソース抵抗RS、ゲート抵抗RG、基板抵抗RSUB、MOSトランジスタQ及びバイポーラトランジスタTがMOSトランジスタQのゲート幅方向21に沿ってN分割される。その結果、N個のMOSトランジスタQ1~Qn、N個のバイポーラトランジスタT1~Tn、N個のドレイン抵抗RD1~RDn、N個のソース抵抗RS1~RSn、N個のゲート抵抗RG1~RGn及びN個の基板抵抗RSUB1~RSUBnがゲート幅方向21に設けられる。

【0034】したがって、Qi、Ti、RDi、RSi、RGi及びRSUBi(i=1~N)によって一つの部分解析ブロック(第iの部分解析ブロック)が形成されることになる。

【0035】ステップS3では、さらに、複数の部分解析ブロックへの分割後、パラメータ入力手段1より得た入力パラメータに基づき、各部分解析ブロックの回路シミュレーション用の電気的特性値を個別設定する。回路シミュレーション用の電気的特性値としては、抵抗RDi、RSi、RGi及びRSUBiでは抵抗値、MOSトランジスタQiではチャネル長、バイポーラトランジスタTiでは飽和電流等がある。

【0036】次に、ステップS4で、ブロック分割手段2は、さらに、解析ブロックとの回路の等価性を維持しゲート幅方向の電流を考慮すべく、分割した複数の部分

解析ブロックうち隣接する部分解析ブロック間の抵抗の節点間を節点接続抵抗で接続した後、解析ブロックを複数の部分解析ブロックに変更した被シミュレーション回路を規定した変更ネットリストD2を回路シミュレーション手段3に出力する。

【0037】節点接続抵抗は、電流がデバイスのゲート幅方向に流れるときの電圧降下を考慮するためのものであり、実際の物理現象として計算の精度を向上させるものである。なお、節点接続抵抗の値は、対応する領域のシート抵抗から計算しても良いし、抵抗値ゼロ（節点接続抵抗を設けなくて電氣的接続のみ行う）として近似することもできる。なお、ゲート幅方向に流れる電流の考慮については実施の形態2で詳述する。

【0038】図5の例では、ドレイン抵抗RD1～RDnのうち隣接するRDj，RD(j+1)間(j=1～(n-1))におけるMOSトランジスタ側の接点を節点接続抵抗RDVjで接続し、ソース抵抗RS1～RSnのうち隣接するRSj，RS(j+1)間におけるMOSトランジスタ側の接点を節点接続抵抗RSVjで接続し、ゲート抵抗RG1～RGnのうち隣接するRGj，RG(j+1)間におけるMOSトランジスタ側の接点を節点接続抵抗RGVjで接続し、基板抵抗RSUB1～RSUBnのうち隣接するRSUBj，RSUB(j+1)間におけるバイポーラトランジスタ側の接点を節点接続抵抗RSUBVjで接続している。図5で示した被シミュレーション回路を規定したネットリストが変更ネットリストD2となる。

【0039】図2に戻って、ステップS5で、回路シミュレーション手段3は、変更ネットリストD2を受け、変更ネットリストD2で規定された被シミュレーション回路に対して回路シミュレーションを実行し、ステップS6で回路シミュレーション結果を出力してESDシミュレーションを終了する。

【0040】図6は、ゲート幅 $W=160\mu\text{m}$ のMOSFETを分割数 $N=5$ で実施の形態1のESDシミュレーションを実行した場合のシミュレーション結果を示すグラフである。このシミュレーション結果は、単位ゲート幅当たりのドレイン電流 $I_d/w$ の時間変化を示している。同図において、破線L0が元のネットリストD1に基づくシミュレーション結果を示し、実線L1がソース抵抗RS1～RS5及びドレイン抵抗RD1～RD5の抵抗値にそれぞれ $\pm 0.8\%$ のバラツキを持たせた場合の最小値であり、実線L2がその最大値である。

【0041】図6に示すように、元のネットリストD1での回路シミュレーションでは得ることのできないドレイン電流のバラツキを、変更ネットリストD2に基づく実施の形態1の回路シミュレーションでは、実線L1，L2間の差として精度良く検出することができる。破線L0を平均値とすると、ドレイン電流の最小値，最大値の平均値からずれば、それぞれ $-0.7\%$ ， $+0.9\%$

である。

【0042】また、図6のシミュレーション結果を得べく行った、変更ネットリストD2に基づく回路シミュレーションの実行時間は、元のネットリストD1に基づく回路シミュレーションの実行時間の10倍以下に収まっており、デバイスシミュレーションの実行時間に比べれば遙かに短い時間で済む。

【0043】図7は通常のデバイスシミュレーションによる温度の時間変化のシミュレーション結果と、変更ネットリストD2に基づく回路シミュレーションによる温度の時間変化のシミュレーション結果とを比較したグラフである。なお、シミュレーション対象となったのは、所定のゲート長、ゲート幅、ゲート酸化膜厚及びドレイン、ソース領域の形成深さを有するMOSFETのHBMモデルである。

【0044】図7において、実線L3がデバイスシミュレーション結果であり、一点鎖線L4が変更ネットリストD2に基づく回路シミュレーション結果である。同図に示すように、デバイスシミュレーションより計算時間が短くて済む回路シミュレーションでも、デバイスシミュレーションと同程度の温度変化が得られており、変更ネットリストD2に基づく回路シミュレーションの精度が高いことが伺える。

【0045】また、実施の形態1のシミュレーション装置のブロック分割手段2は、パラメータ入力手段1より得られる入力パラメータに基づき、複数の部分解析ブロックそれぞれの電氣的特性値を設定しているため、外部からパラメータ入力手段1を用いて複数の部分解析ブロックそれぞれの電氣的特性値を所望の値に設定することができる。

【0046】＜実施の形態2＞図8は、この発明の実施の形態2であるESDシミュレーション装置の構成を示すブロック図である。

【0047】同図に示すように、パラメータ入力手段1は分割すべき3次元の解析領域、分割数、解析領域を分割して得られる複数の部分解析領域間の形状特性のばらつきの標準偏差等からなる入力パラメータを解析領域分割手段12に与える。

【0048】解析領域分割手段12は、被シミュレーション回路構造を規定した元の計算構造データD11を取り込み、パラメータ入力手段1より得た入力パラメータに基づいて、被シミュレーション回路構造内のデバイスを特定する3次元の解析領域を選択し、選択した解析領域を分割して複数の2次元の部分解析領域を得、解析領域と等価な回路構成になるように複数の部分解析領域間を電氣的に接続し、最終的に、解析領域が複数の部分解析領域に置き換えられた被シミュレーション回路構造を規定した変更計算構造データD12を出力する。なお、元の計算構造Dデータ11は図示しない元の計算構造データ付与手段より付与される。

【0049】デバイスシミュレーション手段13は、変更計算構造データD12を入力し、変更計算構造データD12で規定される被シミュレーション回路構造に対して2次元のデバイスシミュレーションを行いデバイスシミュレーション結果を出力する。なお、パラメータ入力手段11、解析領域分割手段12及びデバイスシミュレーション手段13は図示しない計算制御手段によって制御される。

【0050】図9は、実施の形態2のESDシミュレーション装置によるESDシミュレーション方法を示すフローチャートである。以下、図9のフローを実施の形態1と同様に図3に示したMOSFETを例に挙げて説明する。

【0051】まず、ステップS11で、解析領域分割手段12は、通常の3次元デバイスシミュレーション用の被シミュレーション回路構造を規定した元の計算構造データD11を読み込む。元の計算構造データD11は図10で示したデバイスを規定するデータである。

【0052】図10において、3次元構造のMOSFETが解析領域となり、デバイスシミュレーションを行うべく、3次元構造のMOSFETが破線で分割された3次元構造のメッシュに分割されている。

【0053】図9に戻って、ステップS12で、解析領域分割手段12は元の計算構造データD11で規定された被シミュレーション回路構造から、パラメータ入力手段11より得た入力パラメータに基づき、分割対象の解析領域を選択する。図10の回路例では、3次元構造のMOSFET自体が解析領域となる。

【0054】そして、ステップS13で、パラメータ入力手段11より得た入力パラメータに基づき、3次元の解析領域を複数の2次元の部分解析領域に分割する。例えば、上記3次元の解析領域を4個の2次元の部分解析領域に分割する場合、図11に示すように、ゲート幅方向21に垂直な2次元領域である部分解析領域41～44に分割する。これら部分解析領域41～44はそれぞれ2次元のデバイスシミュレーション用に複数のメッシュ22に分割されている。

【0055】そして、部分解析領域41～44のゲート幅方向21の位置関係を考慮して、抵抗53の一端に接続されるドレイン領域は、元の構造の中心部とみなされる部分解析領域42及び43のドレイン領域71のみであり、互いに電氣的に接続されるゲート電極、ソース領域及び基板も元の構造の中心部とみなされる部分解析領域42及び43のゲート電極73、ソース領域72及び基板70のみに設定される。

【0056】ステップS13では、さらに、複数の部分解析領域への分割後、パラメータ入力手段11より得た入力パラメータに基づき、各部分解析領域の各メッシュにおけるデバイスシミュレーション用の特性値を個別設定する。デバイスシミュレーション用の特性値としては、

例えば、形状、導電型式、不純物濃度等がある。

【0057】次に、ステップS14で、解析領域分割手段12は、解析領域との回路構造の等価性を維持しゲート幅方向の電流を考慮すべく、複数の部分解析領域のうち、隣接する部分解析領域で対応するメッシュの頂点間をメッシュ接続抵抗を接続した後、解析領域を複数の部分解析領域に変更した被シミュレーション回路構造を規定した変更計算構造データD12をデバイスシミュレーション手段13に出力する。

【0058】図11の例では、部分解析領域41～44のうち隣接する部分解析領域間で対応するメッシュの各頂点間をメッシュ接続抵抗23で接続している。

【0059】メッシュ接続抵抗は、実施の形態1の節点接続抵抗と同様、電流がデバイスのゲート幅方向に流れるときの電圧降下を考慮するためのものであり、実際の物理現象として計算の精度を向上させるものである。なお、メッシュ接続抵抗の値は、対応する領域のシート抵抗から計算しても良いし、抵抗値ゼロ（メッシュ接続抵抗を設けずに電氣的接続のみ行う）として近似することもできる。

【0060】図12は、メッシュ接続抵抗（実施の形態1では節点接続抵抗）を設ける効果説明用の説明図である。図12では、説明の理解を容易にするため、解析領域を2つの部分解析領域31、32に分割し、メッシュ接続抵抗として、2つの部分解析領域のドレイン領域間、ソース領域間、ゲート領域間及び基板領域間にそれぞれ接続抵抗RDV、RSV、RGV及びRSUBVを設けた必要最小限の構成を示している。

【0061】半導体製造プロセスのバラツキにより、一つのトランジスタでもその形成位置によってチャネル長が異なることが起こり得る。一方、図12の構成では、部分解析領域31、32のチャネル長 $Leff1$ 、 $Leff2$ それぞれを個別設定しているため、 $Leff1$ 、 $Leff2$ 間にバラツキを持たせることにより、形成位置によって異なるチャネル長が形成される状態をシミュレーションすることができる。

【0062】仮に、部分解析領域31と部分解析領域32とにおけるデバイスシミュレーション用の特性値を違えて $Leff1 < Leff2$ になるように設定すると、部分解析領域31のチャネル抵抗が部分解析領域32のチャネル抵抗より低くなるため、部分解析領域32に比べて部分解析領域31を流れる電流量の方が大きくなる。このように、部分解析領域31、32間で流れる電流量が異なると、接続抵抗RDV、RDV、RSV、RGV及びRSUBVそれぞれの両端に電位差が生じ電流が流れる。

【0063】この電流が、元の計算構造データD11における3次元のデバイスシミュレーションによって検出可能なゲート幅方向21の電流に対応する。すなわち、2次元の部分解析領域間を接続抵抗で接続することにより、ゲート幅方向への電流の流れを考慮したシミュレー



ションを、2次元の組合せ構造である変更計算構造データD12に対して行うことができる。

【0064】図9に戻って、ステップS15で、デバイスシミュレーション手段13は、変更計算構造データD12を入力し、変更計算構造データD12で規定された計算構造に対して2次元のデバイスシミュレーションを実行し、ステップS16でデバイスシミュレーション結果を出力してESDシミュレーションを終了する。

【0065】このように、実施の形態2のESDシミュレーション装置の解析領域分割手段12は、解析領域を、ゲート幅方向に沿って、各々が2次元のデバイスシミュレーションが可能な複数の部分解析領域に分割するとともに複数の部分解析領域を互いに電気的に接続し、解析領域を複数の部分解析領域に変更した被シミュレーション回路構造を規定した変更計算構造データD12を出力している。

【0066】したがって、複数の部分解析領域それぞれの物理特性値に違いを持たせることにより、ゲート幅方向の形状効果を考慮した2次元のデバイスシミュレーションを実行することができる。

【0067】さらに、2次元のデバイスシミュレーションは、3次元のデバイスシミュレーションに比べて短い計算時間で行うことができるため、比較的短時間でシミュレーション結果を得ることができる。

【0068】さらに、実施の形態2のESDシミュレーション装置の解析領域分割手段12は、パラメータ入力手段11より得られる入力パラメータに基づき、複数の部分解析領域それぞれの物理特性値を設定しているため、外部からパラメータ入力手段11を用いて複数の部分解析領域それぞれの物理特性値を所望の値に設定することができる。

【0069】＜実施の形態3＞図13は、この発明の実施の形態3である製造プロセス条件設定方法を示すフローチャートである。製造プロセス条件とは所定の半導体集積回路を複数の工程からなる所定の製造プロセスを経て製造する場合の各工程におけるマスクの形状、ウェハプロセス条件等を含む条件を意味する。以下、図13を参照して、製造プロセス条件設定方法を説明する。

【0070】まず、ステップS21で、製造プロセスで用いるパターンニング用の仮マスクの形状を設定し、続いてステップS22でイオン注入エネルギー、拡散時間等の仮ウェハプロセス条件を設定する。その結果、仮マスクの形状及び仮ウェハプロセス条件を含む仮製造プロセス条件が決定する。

【0071】したがって、上記仮製造プロセス条件下の所定の製造プロセスを経て製造された場合の所定の半導体集積回路の電気的特性値が決定する。

【0072】そして、ステップS23において、ステップS21、S22で電気的特性値が決定した所定の半導体集積回路を被シミュレーション回路として、実施の形

態1（回路シミュレーション）あるいは実施の形態2（2次元のデバイスシミュレーション）で示したESDシミュレーションを実行する。

【0073】次に、ステップS24で、ESDシミュレーション結果に基づきESD規格を満足しているか否かを判定する。ESD規格として、例えばシミュレーション結果で得られた最大温度が所定の温度以下である等がある。

【0074】ステップS24でESD規格を満足していない（NO）と判定されると、ステップS25で仮マスク形状を変更し、ステップS26で仮ウェハプロセス条件を変更することにより、所定の半導体集積回路の電気的特性値を変更してステップS23で再度ESDシミュレーションを実行させる。

【0075】以降、ステップS24で、ESD規格を満足している（YES）と判定されるまで、ステップS23～S26が繰り返される。

【0076】ステップS24でESD規格を満足している（YES）と判定されると、ステップS27で仮マスク形状を実マスク形状に設定し、ステップS28で仮ウェハプロセスを実ウェハプロセス条件に設定する。これら実マスク形状及び実ウェハプロセス条件を含む条件が実製造プロセス条件となる。

【0077】実製造プロセス条件下の製造プロセスを経て得られる半導体集積回路は、実施の形態1あるいは実施の形態2のESDシミュレーションのシミュレーション結果によって、ESD規格を満足することが前もって検証されているため、所定の半導体集積回路を実製造プロセス条件下の製造プロセスを経て実際に製造すれば、確実にESD規格を満足した半導体集積回路を得ることができる。その結果、少ない費用と期間でESD規格を満足する半導体集積回路を製造することができる。

【0078】＜実施の形態4（記録媒体への適用）＞図14はこの発明の実施の形態4であるシミュレーション装置のハードウェア構成を示す説明図である。実施の形態4のシミュレーション装置は、図2で示した実施の形態1のESDシミュレーション（回路シミュレーション）方法、あるいは図9で示した実施の形態2のESDシミュレーション（2次元のデバイスシミュレーション）方法を記録媒体に記録させたことを特徴としている。

【0079】図14に示すように、ESDシミュレーション装置として、CPU61、キーボード62、マウス63及びディスプレイ64から構成されるコンピュータを用い、実施の形態1あるいは実施の形態2のESDシミュレーション方法を記述したシミュレーション実行プログラムをCPU61が読み取り可能なフレキシブルディスク65あるいはCD-ROM66に記録させている。なお、図1あるいは図8で記述された構成部（パラメータ入力手段1、ブロック分割手段2、回路シミュ

ーション手段3、パラメータ入力手段11、解析領域分割手段12及び素子シミュレーション手段13)は、シミュレーション実行プログラムを構成する機能ブロックとして割り当てられる。

#### 【0080】

【発明の効果】以上説明したように、この発明における請求項1記載のシミュレーション装置の解析ブロック分割手段は、所定の解析ブロックを、所定方向に沿って、所定の解析ブロックとの等価性を維持しながら複数の部分解析ブロックに分割して、所定の解析ブロックを複数の部分解析ブロックに変更した被シミュレーション回路を規定した変更ネットリストを出力しており、上記複数の部分解析ブロックの回路シミュレーション用特性値をそれぞれ個別設定可能である。

【0081】したがって、複数の部分解析ブロックそれぞれの回路シミュレーション用特性値に違いを持たせることにより、上記所定方向におけるデバイスに形状変化を持たせた被シミュレーション回路に対する回路シミュレーションを実行することができるため、単一の解析ブロックの回路シミュレーションでは考慮できなかったデバイスの上記所定方向の形状変化に精度良く反映したシミュレーション結果を短い計算時間で得ることができる。

【0082】請求項2記載のシミュレーション装置の解析ブロック手段は、パラメータ入力手段より得られる入力パラメータに基づき、複数の部分解析ブロックそれぞれの回路シミュレーション用特性値を設定しているため、外部からパラメータ入力手段を用いて複数の部分解析ブロックそれぞれの回路シミュレーション用特性値を所望の値に設定することができる。

【0083】請求項3記載のシミュレーション装置において、所定の解析ブロックは抵抗成分を考慮したMOSトランジスタを含み、所定の方向はMOSトランジスタのゲート幅方向を含むため、MOSトランジスタにおけるゲート幅方向の形状へ変化を精度良く反映した回路シミュレーションを実行することができる。

【0084】請求項4記載のシミュレーション装置のブロック分割手段は、さらに、複数の部分解析ブロックのうち隣接する部分解析ブロック間を接続抵抗を介して電氣的に接続するため、ゲート幅方向に流れる電流を上記接続抵抗の両端の電位差として考慮することができる。

【0085】この発明における請求項5記載のシミュレーション装置の解析領域分割手段は、所定の解析領域を、所定の方向に沿って、所定の解析領域との等価性を維持しながら、各々が2次元のデバイスシミュレーションが可能な複数の部分解析領域に分割し、所定の解析領域を複数の部分解析領域に変更した被シミュレーション回路構造を規定した変更計算構造データを出力している。

【0086】したがって、複数の部分解析領域それぞれ

のデバイスシミュレーション用の特性値に違いを持たせることにより、上記所定方向の形状変化を考慮した2次元のデバイスシミュレーションを実行することができる。

【0087】さらに、2次元のデバイスシミュレーションは、3次元のデバイスシミュレーションに比べて短い計算時間で行うことができるため、比較的短時間でシミュレーション結果を得ることができる。

【0088】請求項6記載のシミュレーション装置の解析領域手段は、パラメータ入力手段より得られる入力パラメータに基づき、複数の部分解析領域それぞれのデバイスシミュレーション用の特性値を設定しているため、外部からパラメータ入力手段を用いて複数の部分解析領域それぞれのデバイスシミュレーション用の特性値を所望の値に設定することができる。

【0089】請求項7記載のシミュレーション装置において、所定の解析領域は抵抗成分を考慮したMOSトランジスタを含み、所定の方向はMOSトランジスタのゲート幅方向を含むため、MOSトランジスタにおけるゲート幅方向の形状変化に精度良く反映した2次元のデバイスシミュレーションを実行することができる。

【0090】請求項8記載のシミュレーション装置の解析領域分割手段は、複数の部分解析領域のうち隣接する部分解析領域間を接続抵抗を介して電氣的に接続するため、ゲート幅方向に流れる電流を上記接続抵抗の両端の電位差として考慮することができる。

【0091】この発明における請求項9記載のシミュレーション方法のステップ(c)は、所定の解析ブロックを所定方向に沿って複数の部分解析ブロックに分割するとともに、複数の部分解析ブロックの回路シミュレーション用特性値をそれぞれ個別設定し、ステップ(d)は、所定の解析ブロックとの等価性を維持すべく複数の部分解析ブロック間を電氣的に接続して、所定の解析ブロックを複数の部分解析ブロックに変更した被シミュレーション回路を規定した変更ネットリストを出力している。

【0092】その結果、複数の部分解析ブロックそれぞれの回路シミュレーション用特性値に違いを持たせることにより、上記所定方向におけるデバイスに形状変化を持たせた被シミュレーション回路に対する回路シミュレーションをステップ(e)で実行することができるため、単一の解析ブロックの回路シミュレーションでは考慮できなかったデバイスの上記所定方向の形状変化に精度良く反映したシミュレーション結果を短い計算時間で得ることができる。

【0093】この発明における請求項10記載のシミュレーション方法のステップ(c)は、所定の解析領域を、所定の方向に沿って、各々が2次元のデバイスシミュレーションが可能な複数の部分解析領域に分割し、ステップ(d)は、所定の解析領域との等価性を維持すべく複数の部分解析領域を互いに電氣的に接続して、所定の解析

領域を複数の部分解析領域に変更した被シミュレーション回路構造を規定した変更計算構造データを出力している。

【0094】したがって、複数の部分解析領域それぞれのデバイスシミュレーション用特性値に違いを持たせることにより、上記所定方向におけるデバイスの形状変化に精度良く反映した2次元のデバイスシミュレーションをステップ(e)で実行することができる。

【0095】さらに、2次元のデバイスシミュレーションは、3次元のデバイスシミュレーションに比べて短い計算時間で行うことができるため、比較的短時間でシミュレーション結果を得ることができる。

【0096】この発明における請求項1記載の製造プロセス条件設定方法は、請求項9記載のシミュレーション方法の回路シミュレーション結果によって所定の基準における良否判定された仮製造プロセス条件を実製造プロセス条件として設定しているため、上記実製造プロセス条件下の所定の製造プロセスを経て所定の半導体集積回路を実際に製造すれば、確実に所定の基準を満足した半導体集積回路を得ることができる。

【0097】この発明における請求項12記載の製造プロセス条件設定方法は、請求項10記載のシミュレーション方法の2次元のデバイスシミュレーション結果によって所定の基準における良否判定された仮製造プロセス条件を実製造プロセス条件として設定しているため、上記実製造プロセス条件下の所定の製造プロセスを経て所定の半導体集積回路を実際に製造すれば、確実に所定の基準を満足した半導体集積回路を得ることができる。

【0098】この発明における請求項13記載の記録媒体は、請求項9記載のシミュレーション方法を実行させるためのプログラムが記録されているため、このプログラムをコンピュータに実行させることにより、単一の解析ブロックの回路シミュレーションでは考慮できなかったデバイスの形状変化に精度良く反映したシミュレーション結果を短い計算時間で得ることができる。

【0099】この発明における請求項14記載の記録媒体は、請求項10記載のシミュレーション方法を実行させるためのプログラムが記録されているため、このプロ

グラムをコンピュータに実行させることにより、デバイスの形状変化に精度良く反映した2次元のデバイスシミュレーションを実行することができる。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1であるESDシミュレーション装置の構成を示すブロック図である。

【図2】 実施の形態1のESDシミュレーション方法を示すフローチャートである。

【図3】 HBMモデルを示す回路図である。

【図4】 実施の形態1の元のネットリストで規定される回路構成を示す回路図である。

【図5】 実施の形態1の変更ネットリストで規定される回路構成を示す回路図である。

【図6】 実施の形態1によるシミュレーション結果を示すグラフである。

【図7】 実施の形態1によるシミュレーション結果を示すグラフである。

【図8】 この発明の実施の形態2であるESDシミュレーション装置の構成を示すブロック図である。

【図9】 実施の形態2のESDシミュレーション方法を示すフローチャートである。

【図10】 実施の形態2の元の計算構造で規定される構造を示す説明図である。

【図11】 実施の形態2の変更計算構造で規定される回路構成を示す回路図である。

【図12】 ゲート幅方向の電流を考慮することの説明用の説明図である。

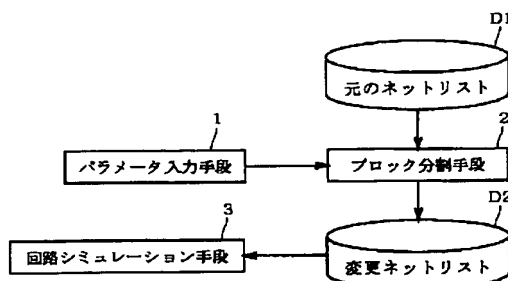
【図13】 この発明の実施の形態3である製造プロセス条件設定方法を示すフローチャートである。

【図14】 この発明の実施の形態4であるシミュレーション装置の記録媒体への適用を示す説明図である。

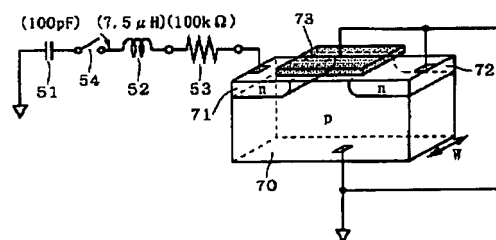
#### 【符号の説明】

1 パラメータ入力手段、2 ブロック分割手段、3 回路シミュレーション手段、11 パラメータ入力手段、12 解析領域分割手段、13 デバイスシミュレーション手段、D1 元のネットリスト、D2 変更ネットリスト、D11 元の計算構造データ、D12 変更計算構造データ。

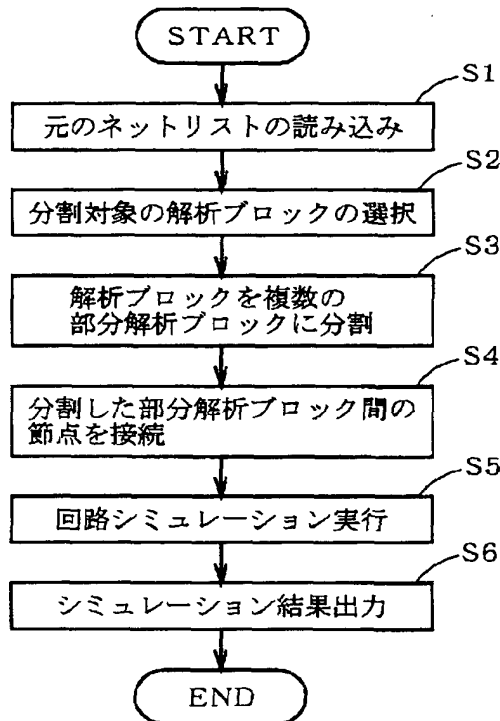
【図1】



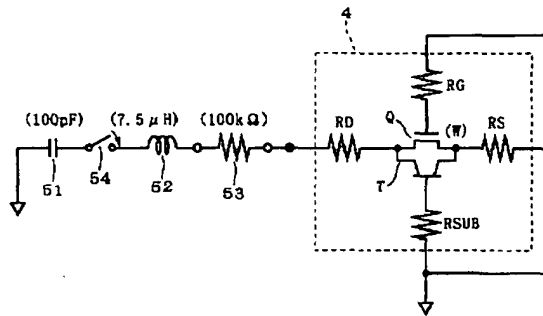
【図3】



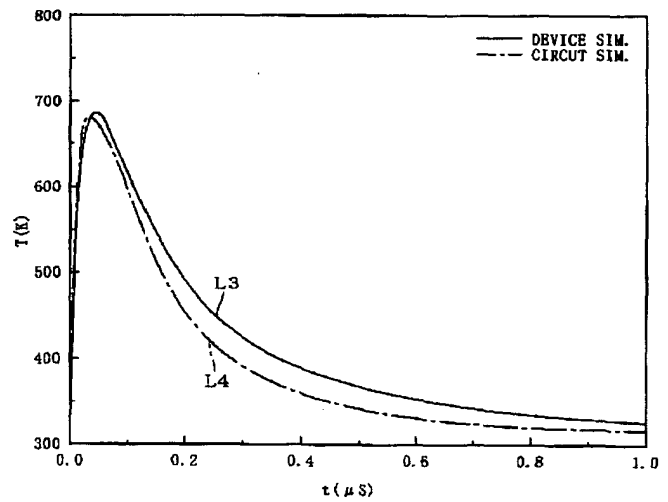
【図2】



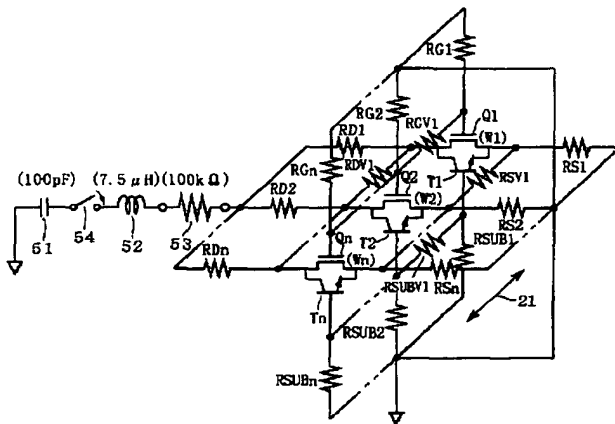
【図4】



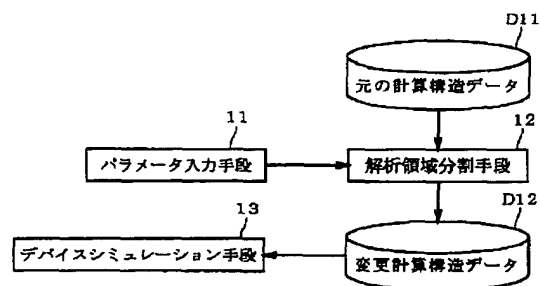
【図7】



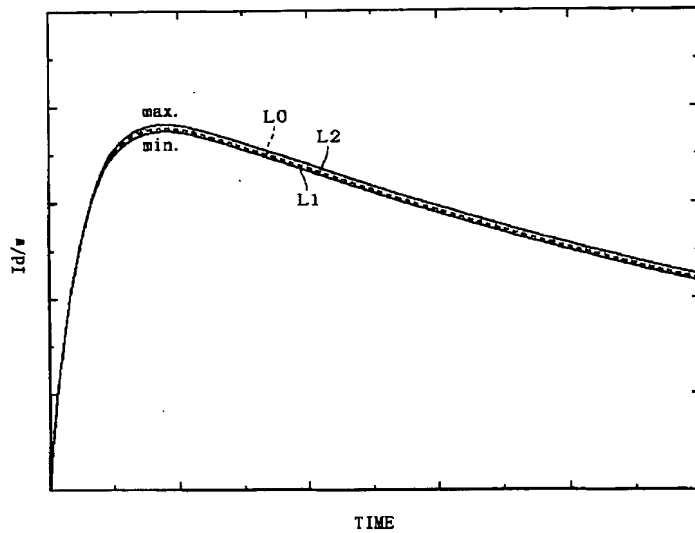
【図5】



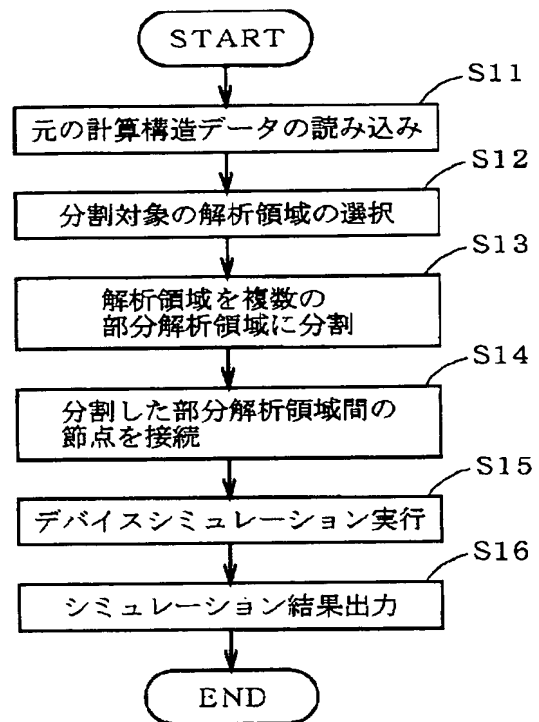
【図8】



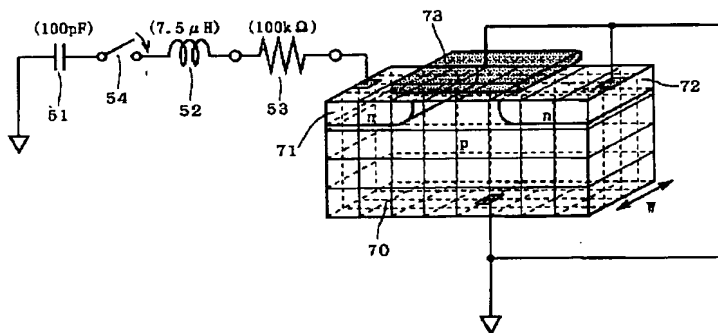
【図6】



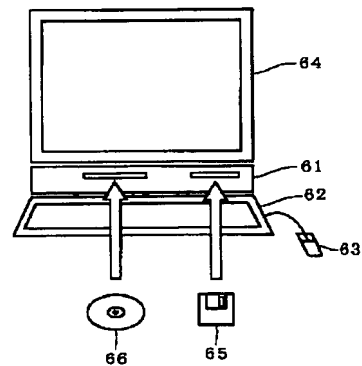
【図9】



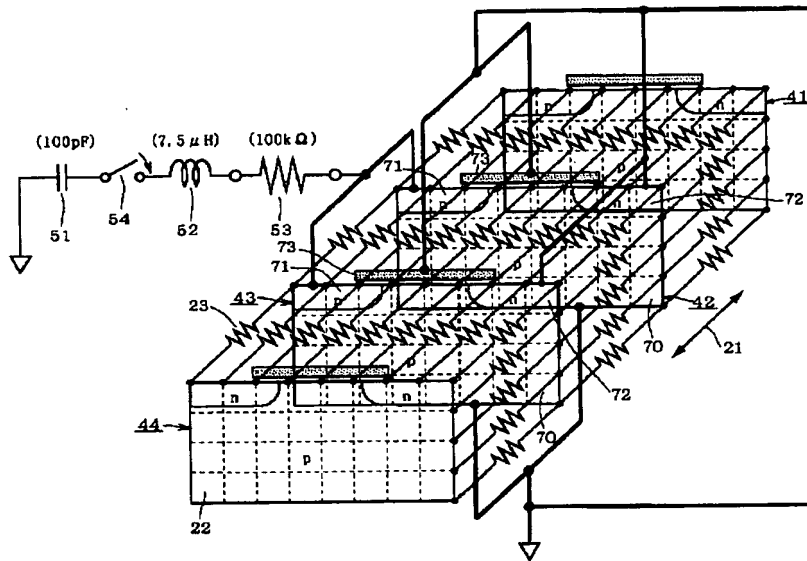
【図10】



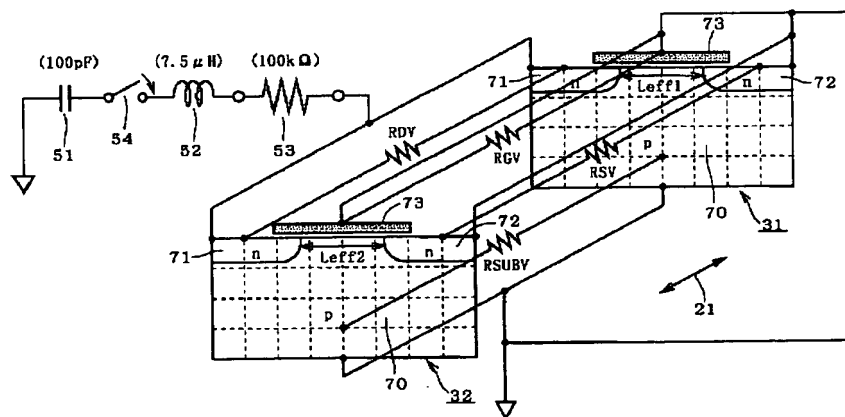
【図14】



【図11】



【図12】



【図13】

